

INPUT PROTECTING CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP2001086641
Publication date: 2001-03-30
Inventor(s): KUDO RYOTARO
Applicant(s): HITACHI LTD.; HITACHI TOBU SEMICONDUCTOR LTD
Requested Patent: ☐ JP2001086641
Application Number: JP19990260177 19990914
Priority Number(s):
IPC Classification: H02H7/20; H02H9/04
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To increase electrostatic breakdown strength, and to lower an input bias current by clamping the voltage of an input terminal approximately at a first source voltage, when a voltage which exceeds the first source voltage and is lower than a voltage which turns a first protective diode on, is applied to the input terminal.
SOLUTION: If a voltage higher than a first source voltage is applied to an input terminal t2, and the MOSFET M1 of a clamping means 24a is turned on, the voltage of the input terminal t2 is clamped at the sum voltage of a threshold voltage and the source voltage Vdd of the MOSFET M1. When an abnormal voltage is applied long and its voltage value is especially large, a first protective diode D1 is turned on, a current flows from the input terminal t2 to the source voltage Vdd, the voltage of the input terminal t2 is clamped at the sum voltage of the source voltage Vdd and a forward bias voltage of the protective diode, and breakdown of elements is prevented. Consequently, a high-reliability circuit which does not malfunction easily is obtained without lowering strength against electrostatic breakdown.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-86641

(P2001-86641A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テ-73-ト [*] (参考)
H 0 2 H 7/20		H 0 2 H 7/20	F 5 G 0 1 3
9/04		9/04	A 5 G 0 5 3

審査請求 未請求 請求項の数7 OL (全8頁)

(21) 出願番号 特願平11-260177

(22) 出願日 平成11年9月14日 (1999.9.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72) 発明者 工藤 良太郎

群馬県高崎市西横手町1番地1 日立東部

セミコンダクタ株式会社内

(74) 代理人 100085811

弁理士 大日方 富雄

Fターム (参考) 5G013 AA02 AA16 BA02 CB14 DA05

DA08

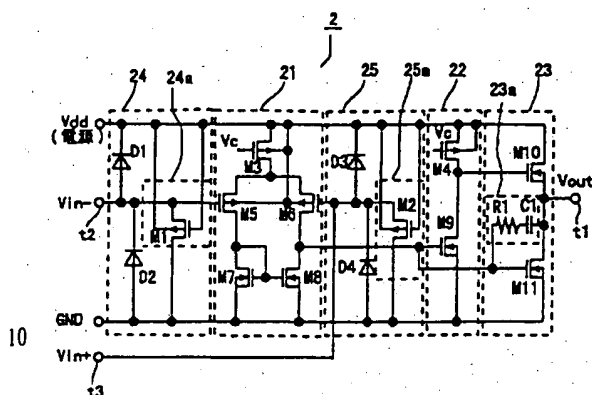
5G053 AA11 BA04 CA05 EA09 EC03

(54) 【発明の名称】 入力保護回路および半導体集積回路

(57) 【要約】

【課題】 十分な静電破壊強度と入力バイアス電流の低下が図れると共に、回路の誤動作が生じにくい保護回路、並びに、このような保護回路を半導体基板上に集積する半導体集積回路を提供することにある。

【解決手段】 入力端子 (t2, t3) と電源電圧 (Vdd) との間に逆方向接続された第1の保護ダイオード (D1, D3) と、入力端子 (t2, t3) と第2の電源電圧 (GND) との間に逆方向接続された第2の保護ダイオード (D2, D4) と、入力端子 (t2, t3) の電圧が第1の電源電圧 (Vdd) を越えかつ上記第1の保護ダイオード (D1, D3) をオンさせる電圧に達しない電圧が印加されたときに入力端子をほぼ第1電源電圧 (Vdd) にクランプするクランプ手段とを備えて構成する。



1

【特許請求の範囲】

【請求項1】 入力端子と第1の電源電圧との間に逆方向接続された第1の保護ダイオードと、入力端子と第2の電源電圧との間に逆方向接続された第2の保護ダイオードと、上記入力端子の電圧が第1の電源電圧を超えかつ上記第1の保護ダイオードをオンさせる電圧に達しない電圧が印加されたときに入力端子をほぼ第1電源電圧にクランプするクランプ手段とを備えてなることを特徴とする入力保護回路。

【請求項2】 入力回路がMOSFETにより構成され、上記入力端子には入力回路を構成するMOSFETのゲート端子が接続されていることを特徴とする請求項1記載の入力保護回路。

【請求項3】 上記第1および第2の保護ダイオードは、半導体基板に形成されたp形又はn形のウエル領域と、このウエル領域内に形成されたn形又はp形の半導体領域とからなる同一構造のpn接合により構成されていることを特徴とする請求項1又は2に記載の入力保護回路。

【請求項4】 上記クランプ手段は、ゲート端子および基板が第1の電源電圧に、ソース端子が上記入力端子に、ドレイン端子が第2の電源電圧側に、それぞれ接続されたMOSFETであることを特徴とする請求項1～3の何れかに記載の入力保護回路。

【請求項5】 上記クランプ手段としてのMOSFETのソース領域を構成するp形又はn形半導体領域と、上記第1の保護ダイオードのpウエル領域又はnウエル領域とが共通領域として一体に形成されていることを特徴とする請求項4記載の入力保護回路。

【請求項6】 リニア回路と請求項1～3の何れかに記載の入力保護回路とが1個の半導体基板上に設けられ、上記リニア回路に入力される電圧が上記第1と第2の電源電圧の範囲外の異常電圧になった場合に上記入力保護回路により上記リニア回路を保護するように構成されることを特徴とする半導体集積回路。

【請求項7】 上記リニア回路はオペアンプであることを特徴とする請求項6記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、入力回路を構成する半導体素子を静電破壊から保護する入力保護回路に適用して有用な技術に関し、例えば半導体チップに集積回路として形成されたオペアンプ等のリニア回路に利用して特に有用な技術に関する。

【0002】

【従来の技術】 図7に示すように、例えば、CMOS回路により構成されたオペアンプに異常電圧が入力された場合に、内部回路を構成する素子（入力MOSFET M5、M6）を静電破壊から保護する技術として、従来、入力端子と電源電圧V_{dd}の間、および、入力端子

2

と接地電位GNDとの間に保護ダイオードD1、D2をそれぞれ接続する構成が知られている。このような構成によれば、入力電圧V_{in}が電源電圧V_{dd}を上回ったり接地電位GNDより下回ったりした場合に、上記保護ダイオードD1、D2に順方向電流が流れて、入力端子の電圧がクランプされ内部回路が保護される。

【0003】 しかしながら、上記保護ダイオードD1、D2を、図8に示すように、例えばn形半導体基板80とその上に形成されたp形拡散領域85やpウエル領域83とその上に形成されたn形拡散領域84との間のpn接合で構成した場合、電源電圧V_{dd}が印加されている半導体基板80や他の内部回路素子との間に意図しない寄生トランジスタQ1、Q2が構成されてしまう。そして、入力端子に印加される入力電圧V_{in}が電源電圧V_{dd}を超えた場合に、寄生トランジスタQ1、Q2がオンして意図しない経路で電流が流れる。

【0004】 例えば、図8においてpウエル領域83内にn形拡散領域84を設けてなる保護ダイオードD2の方は、寄生トランジスタQ2のオン動作により基板80から入力端子へ電流が流れ（この場合、電源に電流が流れるだけなので回路の誤動作はない）、基板80がカソードとなる保護ダイオードD1の方では、寄生トランジスタQ1のオン動作により入力端子から他の素子のpウエル領域81や基板80上に設けられたp形拡散領域へ向かって電流が流れてしまい、回路を誤動作させてしまう。

【0005】 オペアンプでは、入力端子に比較的長い異常電圧や電圧値が大きく外れた異常電圧が印加されたような場合であれば、回路の誤動作も仕方ないが、比較的短い時間や小さな異常電圧が印加されただけで回路が誤動作してしまうのは問題であった。

【0006】 そこで、従来のオペアンプでは、簡単に回路が誤動作してしまうのを防ぐため、図7に示されている電源電圧V_{dd}側の保護ダイオードD1を省略して、入力端子と接地電位との間のみ保護ダイオードD2を接続することで入力保護回路を構成していた。

【0007】

【発明が解決しようとする課題】 しかしながら、上記のように電源電圧V_{dd}側に接続される保護ダイオードD1を省略すると、次のような2つの課題を発生させた。すなわち、1つ目は、電源電圧V_{dd}側の保護ダイオードが無いと、正の静電バルスに対する強度が低下するという課題である。2つ目は、通常動作時において保護ダイオードD2を介して入力端子からグラウンド側にリーク電流が流れ、このリーク電流が回路の入力バイアス電流となるため回路の特性が劣化するという課題である。しかも、このリーク電流は高温になるにつれて指数関数的に増加するため、温度変動に伴ない特性が変化すると云った課題もある。

【0008】 この発明の目的は、静電破壊強度の向上と

3

入力バイアス電流の低下が図れると共に、回路の誤動作が生じにくい入力保護回路、並びに、このような入力保護回路を半導体基板上に容易に集積可能な半導体集積回路を提供することにある。

【0009】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0011】すなわち、入力端子と第1の電源電圧との間に逆方向接続された第1の保護ダイオードと、入力端子と第2の電源電圧との間に逆方向接続された第2の保護ダイオードと、上記入力端子の電圧が第1の電源電圧を超えかつ上記第1の保護ダイオードをオンさせる電圧に達しない電圧が印加されたときに入力端子をほぼ第1電源電圧にクランプするクランプ手段とを備えて構成する。

【0012】このような手段によれば、入力端子において第1の電源電圧と第2の電源電圧の両方にそれぞれ保護ダイオードが設けられているので、静電破壊に対する強度が向上し、更に、第1と第2の保護ダイオードのリーク電流の相殺により入力端子における入力バイアス電流の大きさを小さくでき理論上ゼロにすることが出来る。加えて、電源電圧を超える異常電圧（高い方の電源電圧よりも高い電圧、或いは、低い方の電源電圧よりも低い電圧）が入力された場合でも、第1の保護ダイオードがオンする電圧を超えるまでは上記クランプ手段により第1の保護ダイオードがオンしないレベルにクランプされるので、第1の保護ダイオードと基板や回路を構成する素子の半導体領域との間に寄生するバイポーラもオンせず、その間は回路の誤動作を回避することが出来る。また、第1電源電圧を超える異常電圧の入力が比較的短い期間印加されるだけであれば、クランプ手段だけ動作して第1の保護ダイオードは動作しないので、回路の誤動作を回避することが出来る。

【0013】具体的には、入力回路がMOSFETで構成されている場合に、入力端子に接続されているMOSFETのゲート破壊を、入力保護回路によって防止することができるとともに、オペアンプなどの回路の誤動作を防止できる。

【0014】また、上記第1および第2の保護ダイオードは、半導体基板上に形成されたp形又はn形のウエル領域と、このウエル領域内に形成されたn形又はp形の半導体領域とからなる同一構造のpn接合により構成する。このように構成することで、第1と第2の保護ダイオードのリーク電流の大きさをほぼ同一にすることができ、両者の相殺により入力バイアス電流を小さくすることが出来る。

4

【0015】また、上記のクランプ手段は、ゲート端子および基板が第1の電源電圧に、ソース端子が上記入力端子に、ドレイン端子が第2の電源電圧に、それぞれ接続されたMOSFETにより実現できる。例えば、基板がn形基板であればpチャネルMOSFETにより構成でき、基板がp形基板であればnチャネルMOSFETにより構成できる。

【0016】ところで、クランプ手段としてのMOSFETにおいては、オフ状態においてわずかであるがソース領域と基板間のpn接合に逆方向ヘリーク電流が流れるので、それが入力端子における入力バイアス電流の原因となる。そこで望ましくは、上記クランプ用MOSFETのソース領域を構成するp形又はn形半導体領域と、上記第1の保護ダイオードのpウエル又はnウエル領域とを共通領域として一体に形成する。このように構成することで、クランプ手段のリーク電流による入力バイアス電流をなくし第1と第2の保護ダイオード側のリーク電流同士の相殺をより完全に行うことが出来る。つまり、入力バイアス電流をより小さくすることが出来る。

【0017】上記のような構成の入力保護回路は、例えば、オペアンプなどのリニア回路と共に、1個の半導体基板上に設けられた半導体集積回路などに適用すると特に有効である。

【0018】

【発明の実施の形態】以下、本発明の好適な実施例を図1～図6の図面に基づいて説明する。

【第1実施例】図1は、本発明を適用して好適なオペアンプ回路と入力保護回路の第1実施例を示す回路図である。図2は、図1のオペアンプ回路における入力保護回路を構成する保護ダイオードの具体的な構造を示す断面図、図3は、図1のオペアンプ回路を内蔵したオペアンプICの全体構成を示す平面図である。

【0019】この実施例のオペアンプIC1は、図3に示すように、2つのオペアンプ回路2、3を集積した半導体チップを1つのパッケージに収容してなる半導体デバイスである。このオペアンプIC1には、第1電源電圧Vdd（例えば+5V）が入力される第1電源端子t8と、第2電源電圧Vss（例えば接地電位）が入力される第2電源端子t4と、一方のオペアンプ回路2に対応し正相と負相の2つの入力電圧Vin+、Vin-が入力される入力端子t2、t3と、これら入力電圧Vin+、Vin-の演算増幅後の出力電圧Voutが出力される出力端子t4、並びに、他方のオペアンプ回路3に対応し正相と負相の2つの入力電圧Vin2+、Vin2-が入力される入力端子t5、t6と、これら入力電圧Vin2+、Vin2-の演算増幅後の出力電圧Vout2が出力される出力端子t7などが設けられている。ここでは、上記2つのオペアンプ回路2、3は略同一構成であるので、一方のオペアンプ回路2について

5

のみ説明する。

【0020】オペアンプ回路2は、図1や図2に示すように、CMOS回路からなり、少ない消費電力で高い利得（例えば90dB）が得られる回路としてn形半導体基板上に構成される。オペアンプ回路2は、2つの入力電圧 V_{in+} 、 V_{in-} の差動をとって電圧増幅する差動増幅段21と、電源電圧 V_{dd} -GND間に直列に接続されたMOSFET M10、M11からなりプッシュプル動作により更に出力利得を得て出力電圧 V_{out} を出力端子t1に出力するプッシュプル形出力段23と、出力段23のプル側のMOSFET M10を駆動する信号を生成するカスケード段22と、ダイオードD1、D2およびクランプ手段24aであるMOSFET M1からなり入力電圧 V_{in-} に対応する入力保護回路24と、ダイオードD3、D4およびクランプ手段25aであるMOSFET M2とからなり入力電圧 V_{in+} に対応する入力保護回路25等を備えて構成される。

【0021】また、上記出力段23のプルダウン側MOSFET M11のゲートドレイン間には、発振を防ぐための抵抗R1と容量C1とかならなる位相補償回路23aが接続されている。なお、図示を省略するが、オペアンプIC1には上記の回路とは別に差動増幅段21やカスケード段22の各定電流用のpチャネルMOSFET M3、M4のゲートに所定のバイアス電圧（定電圧） V_c を供給するバイアス回路が設けられる。

【0022】上記入力保護回路24、25を構成するダイオードD1、D2；D3、D4は、入力端子t2、t3に接地電位以下や電源電圧 V_{dd} を超える異常電圧が印加された場合に、電流を流して内部の回路を静電破壊から保護するためのもので、保護ダイオードD1、D3は第1電源電圧 V_{dd} （例えば5V）と入力端子t2、t3との間に、保護ダイオードD2、D4は入力端子t2、t3と第2電源電圧（接地電位）との間に、それぞれ平常時に逆方向となる向きに接続されている。

【0023】保護ダイオードD1～D4は、図2に示すようなpn接合で構成された場合、その順方向電圧は約0.7V程度となる。従って、保護ダイオードD1、D3は、入力端子t2、t3に入力された入力電圧 V_{in-} 、 V_{in+} が第1電源電圧 V_{dd} （5V）より順方向電圧（0.7V）分上回った場合に電流が流れ、保護ダイオードD2は、入力端子t2、t3に入力された入力電圧 V_{in-} が第2電源電圧（0V）より順方向電圧（0.7V）分下回った場合に電流が流れるようになっている。

【0024】これらの保護ダイオードD1、D2（D3、D4も同様）は、図2にも示すように、半導体基板40上に設けられる同一構造のpn接合からなるダイオードであり、例えば、n形半導体基板40上にp形のウエル領域41a、41bと、このウエル領域41a、4

6

1b内にn形拡散領域42a、42bを設けることで、それぞれウエル領域41a、41bをアノードにn形拡散領域42a、42bをカソードにしたpn接合ダイオードとして構成されている。

【0025】ところで、このようなダイオード構造によれば、半導体基板40がn形であるためウエル領域41a、41bと、半導体基板40と、オペアンプ回路2を構成するpチャネルMOSFET M1～M6のドレイン領域やソース領域となるp形拡散層との間にpnnp形の寄生バイポーラトランジスタQXが形成される。そのため、入力端子t2の電圧が半導体基板40の電位（ V_{dd} ）よりも高くなると、この寄生トランジスタQXがオンして半導体基板40上のp形拡散領域で形成された種々の領域に電流が流れて回路が誤動作する恐れがある。なお、ダイオードD2側にも寄生トランジスタQyが存在するが、この寄生トランジスタは局所的であり電流が流れても内部回路の誤動作をひき起こさないの問題はない。そこで、この実施例では、クランプ手段24a、25aを設けて、入力電圧をクランプしてある程度の異常入力電圧に対しては上記寄生トランジスタQXがオンされないようにしている。

【0026】また、上記保護ダイオードD1～D4は、逆方向電圧が印加されたときに数ピコアンペア～数ナノアンペアのリーク電流が流れるが、両者に同一構造の保護ダイオードを使用しているため、電源電圧 V_{dd} 側とGND側の保護ダイオードの逆方向リーク電流が足し合わさって相殺され入力バイアス電流がゼロになるように作用する。

【0027】図4に本発明の変形例を示す。この変形例は、図4に示すように、クランプ手段としてのMOSFET M1のソース領域と V_{dd} 側の保護ダイオードD1のpウエル領域とを共通領域として形成したものである。すなわち、MOSFET M1のゲート電極やドレイン領域45を第1保護ダイオードD1のpウエル領域41と隣接させて形成することで第1保護ダイオードD1のpウエル領域41をMOSFET M1のソース領域としている。これにより面積の増加を抑えることができる。

【0028】また、図2の実施例ではクランプ手段24aとしてのMOSFET M1を設けているため、このMOSFET M1においてもソース領域44と基板40との間の寄生ダイオードにリーク電流が生じ、このリーク電流が入力端子における入力バイアス電流の原因となる。しかるに図4のように構成することで、クランプ手段のリーク電流をなくし、保護ダイオードD1とD2（D3とD4）のリーク電流同士を相殺して、入力バイアス電流をより小さくすることが出来る。なお、図2の実施例でも電源電圧 V_{dd} 側の保護ダイオードD1と接地電位GND側の保護ダイオードD2の形状を若干相違させて（例えばGND側のn形拡散領域42aを電源電

7

圧 V_{dd} 側の n 形拡散領域42bより小さくして)、MOSFET M1のソース基板間リーク電流も含めて入力バイアス電流が相殺されるように構成することも可能である。

【0029】さらに、第1および第2保護ダイオードD1、D2の p ウェル領域41と半導体基板40との間の p n 接合により形成される寄生ダイオードDXにも逆方向電流が生じるが、半導体基板40の電子濃度が p ウェル領域41中に形成される n 形拡散領域42の電子濃度よりも1桁以上小さいので、空乏層が広くなり寄生ダイオードDXの逆方向電流は第1および第2保護ダイオードD1、D2のそれよりも1桁以上小さいものとなり無視することが出来る。

【0030】第3および第4保護ダイオードD3、D4は、入力電圧 V_{in-} と逆相の入力電圧 V_{in+} に対応するもので、上記第1および第2保護ダイオードD1、D2と同様の構成であり同一作用を有するので、説明を省略する。

【0031】次に、クランプ手段24a、25aの作用について説明する。

【0032】クランプ手段24a、25aは、エンハンスメント型の p チャネルMOSFET M1、M2の1素子でそれぞれ構成され、MOSFET M1、M2のゲート端子と基体（ウェル領域または基板）が第1電源電圧 V_{dd} に、そのソース端子が入力端子 t_2 に、ドレイン端子がグランドにそれぞれ接続されてなる。このクランプ手段24a、25aにおいては、入力端子 t_2 、 t_3 に第1電源電圧 V_{dd} よりも高い電圧が印加された場合に、MOSFET M1、M2のチャネルが導通状態になって入力端子 t_2 、 t_3 から接地端子（GND）へ電流を流す。しかも、この実施例ではMOSFET M1、M2の閾値電圧は、基板電位がソース電位ではなくゲート電圧と同一電位となっているため、基板効果により他のMOSFET M3等の閾値電圧（0.7V）よりも低い、例えば0.3V程度の閾値電圧となっている。

【0033】それにより、入力端子 t_2 、 t_3 に電源電圧 V_{dd} よりも0.3V高い電圧が印加された場合に、MOSFET M1、M2がオンして入力端子 t_2 、 t_3 が接地電位に接続され、入力端子 t_2 、 t_3 の電圧が接地電位よりもMOSFET M1、M2の閾値電圧 V_{th} （0.3V）分だけ高い電圧（ $V_{dd} + V_{th}$ ）にクランプされるようになっている。しかし、MOSFET

M1、M2に流れる電流が大きくなるとゲートソース間電圧 V_{gs} が次第に大きくなり、入力端子 t_2 、 t_3 のクランプ電圧も徐々に大きくなって行く。が、入力端子 t_2 、 t_3 の電圧が保護ダイオードD1、D3に順電流が流れる順方向電圧を超えるまでは入力電圧 V_{in-} 、 V_{in+} がクランプされ、寄生トランジスタQXがオンされてリーク電流が流れるのを防止することが出来

8

る。

【0034】次いで、上記実施例のオペアンプ回路2に異常電圧が入力された場合の動作についてより詳細な説明を行う。

【0035】まず、負相の入力端子 t_2 に接地電位より低い電圧が印加された場合についてを説明する。負相の入力端子 t_2 に、接地電位より低い電圧が印加されて第2保護ダイオードD2の順方向バイアス電圧（0.7V）を更に超えると、第2保護ダイオードD2がオンして通電し、入力端子 t_2 の電圧が接地電位から保護ダイオードの順方向バイアス電圧分を差し引いた電位（例えば-0.7V）に固定され、内部回路を構成するMOSFETのゲートに大きな負の電圧が印加されないようにしてゲート破壊を防止する。

【0036】この入力端子に負電圧が入った場合の動作では、グランドから第2保護ダイオードD2のアノードである p ウェル領域41を経てカソードの n 形拡散領域42bへ電流が抜けていくだけで、ダイオードD1側では n 形拡散領域42aが負電圧にされるため寄生トランジスタQXはオンされることはないので、回路の誤動作は生じない。

【0037】次に、負相の入力端子 t_2 に第1電源電圧よりも高い電圧が印加された場合を説明する。入力端子 t_2 に第1電源電圧よりも高い電圧が印加されて、先ず、クランプ手段24aのMOSFET M1の閾値電圧（0.3V）を更に超えるとクランプ手段24aのMOSFET M1がオンされる。MOSFET M1がオンされると、入力端子 t_2 の電圧がMOSFET M1は電源電圧 V_{dd} に閾値電圧（0.3V）加えた電位にクランプされる。

【0038】このクランプ手段24aのオン動作では、MOSFET M1のソースドレイン間に電流が流れるだけなので、オペアンプの出力波形は飽和するものの、保護ダイオードD1の寄生トランジスタQXがオンされるのを防止できるため内部の回路の誤動作は生じない。

【0039】この異常電圧が比較的短い一時的なものや電圧値がそれほど大きくない場合には、クランプ手段24aによる入力端子 t_2 のクランプの後に、入力端子 t_2 に入力される電圧が通常レベルに戻ってMOSFET M1がオフし、オペアンプ回路2で引き続き通常の動作が行われる。

【0040】一方、上記異常電圧が長かったり電圧値が特に大きなものである場合には、クランプ手段24aのMOSFET M1のソースドレイン間に流れる電流量が大きくなってMOSFET M1のゲートソース間電圧 V_{gs} を上昇させる。そして、上記閾値電圧（0.3V）にこの電圧 V_{gs} を加えた電圧が、第1保護ダイオードD1の順方向バイアス電圧（0.7V）を超えると、第1保護ダイオードD1がオンして入力端子

9

t 2から電源電圧Vddへ電流が流れ、入力端子t 2は電源電圧Vddに保護ダイオードの順方向バイアス電圧(0.7V)を加えた電位にクランプされ、内部回路を構成する素子の破壊を防止できる。

【0041】なお、第1保護ダイオードD1がオンするような大きな電圧が入力されると、保護ダイオードD1のpウェル領域41とn形の基板40と他の素子のp形半導体領域とで構成される寄生トランジスタQXがオンされ、オペアンプ回路2が誤動作することもあるが、このような大きな電圧が入力された場合におけるオペアンプの誤動作は問題とされない。しかし、この第1保護ダイオードD1のオン動作によりクランプ手段24aで保護できないような印加電圧に対しても入力MOSFET M5、M6を保護し静電破壊を防止することが出来る。

【0042】正相の入力端子t 3に接地電位より低い電圧や電源電圧Vddより高い電圧が印加された場合には入力保護回路25が上記負相の入力端子t 2の入力保護回路24と同様の動作をするので、説明は省略する。

【第2実施例】図5には、本発明を適用して好適なオペアンプ回路の第2実施例の回路図を、図6には、図5のオペアンプ回路の保護ダイオード構造の断面図を示す。

【0043】この実施例は、オペアンプ回路をp形の半導体基板上に設けた一例である。半導体基板40はp形であるので、この基板に印加される基板電位は接地電位となる。すなわち、この実施例では、接地電位が第1の電源電圧に相当し、それより高い電源電圧Vdd(例えば5V)が第2の電源電圧に相当することになる。また、接地電位側の保護ダイオードD2、D4が第1の保護ダイオードに、電源電圧Vdd側の保護ダイオードD1、D3が第2の保護ダイオードに相当することになる。

【0044】この実施例においては、入力保護回路24、25は、2つの入力端子t 2、t 3のそれぞれに対応して設けられた4つの保護ダイオードD1～D4とクランプ手段24b、25bとから構成される。

【0045】入力端子t 2に対応した保護ダイオードD1、D2は、図6に示されるように、p形半導体基板40上にn形のウェル領域51を設け、このウェル領域51内にn形拡散領域52を設けて、ウェル領域51をカソード、n形拡散領域52をアノードとすることで構成される。入力端子t 3に対応した保護ダイオードD3、D4についても同様である。

【0046】これら入力保護回路24、25の保護ダイオードD1～D4の動作や作用は、接地電位と電源電圧Vddとが第1実施例のものと対称的になる他、第1実施例とほぼ同様である。

【0047】一方、このような保護ダイオード構造によれば、半導体基板40がp形であるため、ウェル領域51と半導体基板40とオペアンプ回路5中にあるn形半

10

導体領域(例えばnチャネルMOSFET M1、M7～M11のドレイン領域やソース領域など)とでnpn形の寄生トランジスタQXが形成される。そして、入力電圧の電圧が半導体基板40の電位よりも低くなって、この寄生トランジスタQXがオンすると、半導体基板40上の回路構成素子のn形半導体領域へリーク電流が流れて回路が誤動作してしまう恐れがある。

【0048】しかして、この実施例では、nチャネルMOSFET M1aで構成されたクランプ手段24bが設けられ、このMOSFET M1aのゲート端子と基板電位とが接地電位に、そのソース端子が入力端子t 2に、ドレイン端子が電源電圧Vddにそれぞれ接続されている。そのため、クランプ手段24bは、入力端子t 3に入力される電圧が接地電位よりも低くなった場合に、電源電圧Vddと入力端子t 3とを接続させることで、入力端子t 3の電圧をほぼ接地電位にクランプして寄生バイポーラQXがオンされるのを防止する。

【0049】以上のように、上記第1および第2の実施例のオペアンプIC1によれば、各入力端子t 2、t 3と第1および第2の電源電圧との間にそれぞれ逆方向接続された保護ダイオードD1～D4が設けられているので、高すぎる電圧や低すぎる電圧の印加に対して内部回路の保護が可能となり静電破壊強度を向上させることが出来る。と同時に、2つの保護ダイオードの構造を同一にしているでそれぞれのリーク電流を互いに相殺させることが可能となり、それにより入力バイアス電流の大きさを小さくすることが出来る。

【0050】更に、寄生トランジスタQXが働いて回路を誤動作させてしまう保護ダイオード(第1実施例では第1保護ダイオードD1、第2実施例では第2保護ダイオードD2)に対しては、クランプ手段24a、24bが入力電圧をクランプすることである程度の異常電圧に対しては無闇に保護ダイオードを働かせずに回路の誤動作を回避し、クランプ手段24a、24bでは対処しきれない異常電圧に対してだけ保護ダイオードを働かせるので、静電破壊に対する強度を落とすことなく入力電圧が電源電圧を超えても容易に誤動作を発生させない信頼性の高い回路を実現できる。

【0051】また、クランプ手段24aを構成するMOSFET M1のソース領域44と第1保護ダイオードD1のp形ウェル領域41とを共通領域として一体に形成することで、占有面積の増加を抑えることができるとともに、MOSFET M1のソース領域44から基板40へ流出するリーク電流をなくすことができ、入力端子t 2の入力バイアス電流をより一層小さくすることが出来る。

【0052】また、保護ダイオードやクランプ手段の構造を実施例のような保護ダイオードD1～D4やクランプ手段24a、24bの構造とすることで、入力保護回路24、25を含めオペアンプ回路を同一のCMOSプ

11

ロセスで形成することができる。

【0053】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】例えば、クランプ手段24a、24bとして、MOSFET M1、M2を図1や図5のように接続したものを例示したが、MOSFET M1、M2のゲート端子に電源電圧V_{dd}や接地電位でなく任意のバイアス回路で生成した電圧を印加して、クランプ手段の動作範囲を制御するようにしても良い。その他、バイポーラトランジスタを用いるなど、入力端子の電圧が電源電圧を超えてから保護ダイオードがオン動作するまでの電圧範囲でオン動作して入力端子の電圧をクランプできれば、どのような構成としても良い。

【0055】また、実施例で具体的に示したオペアンプの回路構成についても、種々の変形例があることは言うまでもない。

【0056】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるオペアンプICに適用した場合について説明したがこの発明はそれに限定されるものでなく、例えば、3端子レギュレータや変調復調回路など小電力で動作するようなCMOSリニア回路に広く利用することができる。

【0057】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0058】すなわち、本発明に従うと、入力電圧における異常電圧の印加に対して高い静電破壊強度が得られると共に、入力電圧が電源電圧を超えても容易に誤動作しない信頼性の高い回路を実現できるという効果がある。

【0059】加えて、回路の入力バイアス電流の大きさを小さくしてオペアンプでは入力オフセットを小さくすることが出来るという効果がある。

【図面の簡単な説明】

【図1】本発明を適用して好適なオペアンプと入力保護回路の実施例を示す回路図である。

【図2】図1の入力保護回路の保護ダイオード構造を示す断面図である。

【図3】図1の回路を内蔵したオペアンプICの全体構

成を示す上面図である。

【図4】クランプ手段のMOSFETのソース端子のp形半導体と第1保護ダイオードのpウェルとを一体的に形成した保護ダイオード構造の一例を示す断面図である。

【図5】本発明の適用して好適なp形半導体基板上に構成したオペアンプと入力保護回路の実施例を示す回路図である。

【図6】図5の入力保護回路の保護ダイオード構造を示す断面図である。

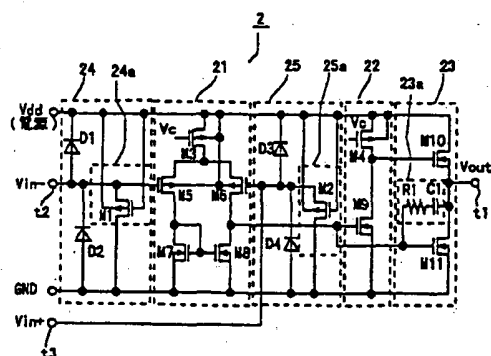
【図7】従来の入力保護回路の一例を示す回路図である。

【図8】従来の入力保護回路と内部回路の保護ダイオード構造を示す断面図である。

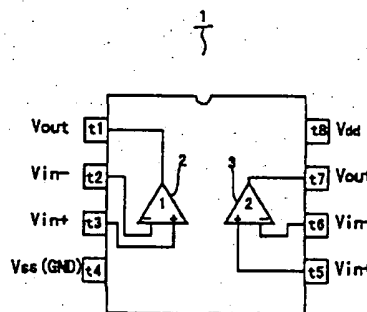
【符号の説明】

1	オペアンプIC
2, 3	オペアンプ回路
D1~D4	第1~第4の保護ダイオード
M1, M2	クランプ手段のMOSFET
20	21 差動増幅回路
	23 出力バッファ回路
	24 入力保護回路
	24a クランプ手段
	40 半導体基板
	41 保護ダイオードのpウェル領域
	42 n形拡散層
	44 クランプ手段のドレイン領域
	45 クランプ手段のソース領域
	50 クランプ手段のドレイン領域と共通にされた
30	保護ダイオードのウェル領域
	t1 出力端子
	t2, t3 入力端子
	t3 入力端子
	t4 第2電源端子
	t8 第1電源端子
	DX 寄生ダイオード
	QX 寄生トランジスタ
	V _{in+} , V _{in-} 入力電圧
	V _{out} 出力電圧
40	V _{dd} 第1電源電圧
	V _{ss} 第2電源電圧

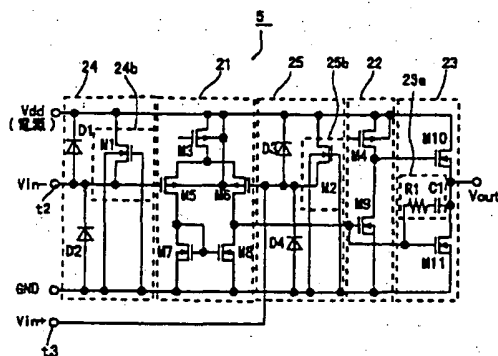
【図 1】



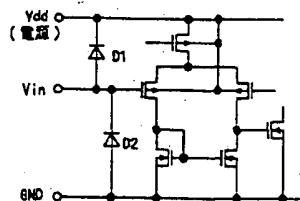
【図 3】



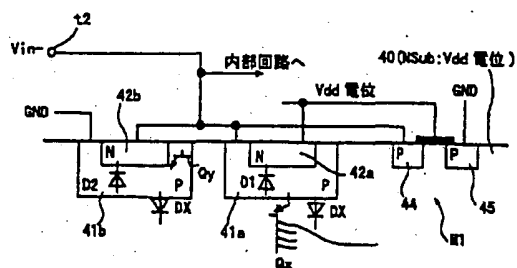
【図 5】



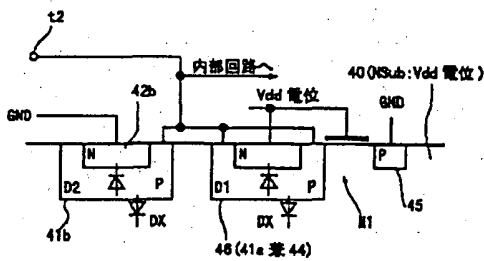
【図 7】



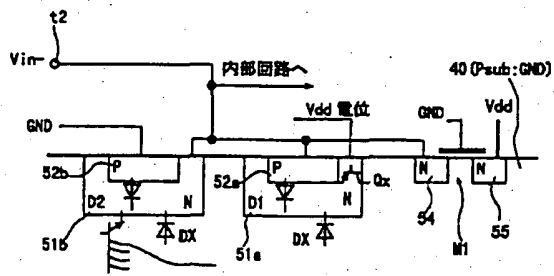
【図 2】



【図 4】



【図 6】



【図 8】

